



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10125677 A**(43) Date of publication of application: **15.05.98**

(51) Int. Cl.

H01L 21/3205
H01L 21/28
(21) Application number: **08275752**(22) Date of filing: **18.10.96**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **HORIE HIROSHI**
IMAI MASAHIKO
ARIMOTO YOSHIHIRO
ITO AKIO

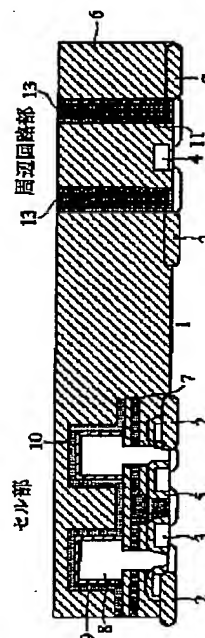
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To form fine Al wirings with respect to a manufacturing method for semiconductor devices by adding very simple improvements to the conventional technique of substituting Al reactively for silicon, and by burying closely plugs made of Al into contact holes with large aspect ratios or burying Al in fine grooves.

SOLUTION: After forming electrode contact holes in an insulating film 6 provided on a silicon semiconductor substrate 1, silicon is buried in the electrode contact holes. As heating the whole, including the silicon semiconductor substrate 1 in a reduced-pressure atmosphere, Al is deposited to form an Al film thereon and generate Al plugs 13 in the electrode contact holes while substituting Al for silicon. Then, only the Al film present on the insulating film 6 is removed together with deposited silicon.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-125677

(43)公開日 平成10年(1998)5月15日

(51) Int.Cl.⁸
H 0 1 L 21/3205
21/28

識別記号
301

F I
H O I L 21/88
21/28

N
301L

審査請求 未請求 請求項の数 3 OL (全 8 頁)

(21)出願番号 特願平8-275752

(22) 出願日 平成8年(1996)10月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 堀江 博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 今井 雅彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

最終頁に続く

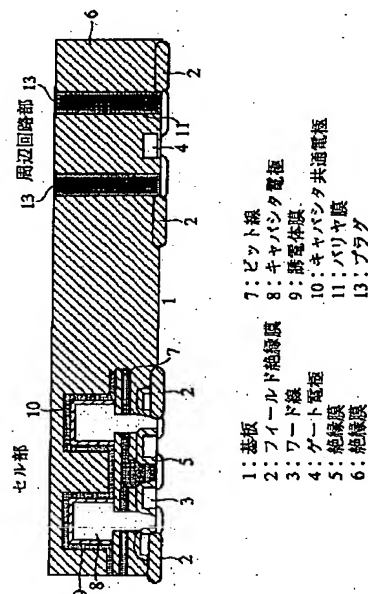
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に関し、シリコンをA1に置換反応させる従来の技術に極めて簡単な改変を加えることで、アスペクト比が大きいコンタクト・ホールにA1からなるプラグを密実埋め込んだり、或いは、微細な溝にA1を埋め込んで微細なA1配線を形成できるようにする。

【解決手段】 シリコン半導体基板１上の絶縁膜６に電極コンタクト・ホールを形成してからシリコンで埋め込み、シリコン半導体基板１を含む全体を減圧中に於いて加熱しつつＡ１を堆積させて該シリコンをＡ１に置換しながらＡ１膜を形成し、電極コンタクト・ホール内ではＡ１プラグ１３を生成させ、絶縁膜６上のＡ１膜のみを析出されたシリコンと共に除去する。

実施の形態1を説明する半導体装置の要部切断側面図



【特許請求の範囲】

【請求項1】半導体基板上の絶縁膜にコンタクト・ホール或いは溝を形成してからシリコンで埋め込む工程と、次いで、半導体基板を含む全体を減圧中に於いて加熱しつつA1を堆積させ前記シリコンをA1に置換しながらA1膜を形成する工程と、次いで、絶縁膜上のA1膜のみを析出されたシリコンと共に除去する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上の絶縁膜にコンタクト・ホール或いは溝を形成してからシリコンで埋め込む工程と、次いで、半導体基板を含む全体を減圧中に於いて加熱しつつA1を堆積させ前記シリコンをA1に置換しながらA1膜を形成する工程と、引き続き、A1膜上に遷移金属膜を形成して析出するシリコンと反応させて遷移金属シリサイドを生成させる工程と、

次いで、前記遷移金属シリサイドを含む遷移金属膜を除去する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項3】コンタクト・ホール或いは溝内にバリア膜を形成してからシリコンで埋め込む工程が含まれてなることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アスペクト比が大きい例えばビア・ホール(via-hole)などのコンタクト・ホールにA1からなるプラグを埋め込んだ配線構造をもつ半導体装置を製造するのに好適な方法に関する。

【0002】現在、半導体装置を更に高集積化する為、多層配線が多用化されつつあるが、その場合、下層と上層とを接続する微細接続構造が問題であり、コンタクト・ホールへのA1の埋め込みには、通常、スパッタリング法が用いられているのであるが、その埋め込み形状は良好とは言えない状態にあるので、この問題を解決する必要がある、本発明は、その問題に対処する一手段を提供することができる。

【0003】

【従来の技術】多層配線を形成する場合、コンタクト・ホールへのA1からなるプラグの埋め込み形状が悪い場合、接続がオープンになったり、或いは、抵抗の増大に結び付くことになり、また、A1は、多結晶シリコンとは異なり、微細加工が困難である。

【0004】通常、ギガ・スケールのDRAM(dynamic random access memory)になると、径が0.2[μm]以下、深さが2[μm]、従って、アスペクト比が10以上にもなるコンタクト・ホールにA1プラグを埋め込むことが必要にな

る。

【0005】従来、コンタクト・ホールにA1プラグを埋め込む技術として、多結晶シリコンとA1の置換反応を利用することが提案されている(要すれば「特開平2-199838号公報」を参照)。

【0006】前記従来の技術に依れば、径が0.3[μm]、深さ0.5[μm]、即ち、アスペクト比が2以下であるコンタクト・ホールに多結晶シリコンを埋め込み、その表面にA1を堆積し、温度450[°C]、時間30[分]の熱処理を行なって、コンタクト・ホール中の多結晶シリコンをA1に置換できたとしている。

【0007】

【発明が解決しようとする課題】本発明者の実験に依れば、前記従来の技術に依っては、ギガ・スケールのDRAMに於けるコンタクト・ホール、即ち、アスペクト比が10以上にもなるコンタクト・ホールにA1プラグを埋め込むことはできない。

【0008】本発明は、多結晶シリコンをA1に置換反応させる従来の技術に極めて簡単な改変を加えることで、アスペクト比が大きいコンタクト・ホールにA1からなるプラグを密実に埋め込むことを可能にしようとする。

【0009】

【課題を解決するための手段】本発明では、電極コンタクト・ホール中に多結晶シリコンを埋め込んだウエハに減圧中で加熱しつつA1の堆積を行なって、電極コンタクト・ホール中の多結晶シリコンをA1に置換することが基本になっている。

【0010】実験に依れば、例えば径が0.2[μm]、深さ1.8[μm]、従って、アスペクト比9の電極コンタクト・ホールに密実に埋め込まれた多結晶シリコンを温度430[°C]、時間25分の熱処理に依って、完全にA1に置換することができた。

【0011】因みに、前記従来の技術で対象にした径が0.3[μm]、深さが0.5[μm]、従って、アスペクト比2以下の電極コンタクト・ホールに埋め込まれた多結晶シリコンをA1に置換するのであれば、温度400[°C]、時間15[分]の低温且つ短時間の熱処理で充分である。

【0012】本発明に依った場合、アスペクト比が大きい電極コンタクト・ホール中の多結晶シリコンを低温且つ短時間でA1に置換できる理由が奈辺に在るのか、確たるところは判明していない。

【0013】然しながら、状況からの認識に依れば、減圧雰囲気中で加熱しつつA1を成長させるので、成長するA1のグレインが直ちに多結晶シリコンと置換反応されることになり、このようにA1の成長中に置換が行なわれることに起因していると類推される。

【0014】前記したところから、本発明に依る半導体装置の製造方法に於いては、

(1) 半導体基板(例えばシリコン半導体基板1)上の絶縁膜(例えば絶縁膜6)にコンタクト・ホール(例えば電極コンタクト・ホール6A)或いは溝を形成してからシリコン(例えば多結晶シリコン膜12)で埋め込む工程と、次いで、半導体基板を含む全体を減圧中(例えば 3×10^{-4} [Torr]の真空中)に於いて加熱(例えば温度450 [°C])しつつA1を堆積させ前記シリコンをA1に置換しながらA1膜(例えば電極コンタクト・ホール6A内ではA1プラグ13の生成)を形成する工程と、次いで、絶縁膜上のA1膜のみを析出されたシリコン(例えばシリコン12A)と共に除去する工程とが含まれてなることを特徴とするか、又は、

【0015】(2) 半導体基板上の絶縁膜にコンタクト・ホール或いは溝を形成してから多結晶シリコンで埋め込む工程と、次いで、半導体基板を含む全体を減圧中に於いて加熱しつつA1を堆積させ前記シリコンをA1に置換しながらA1膜を形成する工程と、引き続いて、A1膜上に遷移金属膜(例えばTiなどの遷移金属膜15)を形成して析出するシリコンと反応させて遷移金属シリサイド(例えば遷移金属シリサイド15A)を生成させる工程と、次いで、前記遷移金属シリサイドを含む遷移金属膜を除去する工程とが含まれてなることを特徴とするか、又は、

【0016】(3) 前記(1)又は(2)に於いて、電極コンタクト・ホール内にバリア膜(例えばTiNからなるバリア膜11)を形成してからシリコンで埋め込む工程が含まれてなることを特徴とする。

【0017】前記手段を採用することに依って、従来の技術では実現することが不可能であった高アスペクト比のコンタクト・ホール内にA1プラグを密実に埋め込むことが可能となり、しかも、A1プラグを生成する為のコンタクト・ホール内のシリコンとA1との置換は、低温且つ短時間で完了させることができ、さきに作り込まれている回路に与えるダメージを少なくすることが可能である。また、溝内に埋め込んだシリコンをA1と置換して配線する場合、0.2 [μm]を下回るような幅の微細配線を容易に形成することが可能であり、この場合の微細溝の形成、シリコンの埋め込みなどは、既存の装置を用いて実現することができる。

【0018】

【発明の実施の形態】図1乃至図5は本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明すが、各図は、説明を判り易くするのに必要な部分を紙面に表出させる為、平面で見て、例えば鍵状に入り組んだ切断面を採用しているため、必ずしも直線状になっていない。この点は、後に説明する図6以下でも同様である。

【0019】図1参照

1-(1)

図示された半導体装置では、メモリ・セル部と周辺回路部との要部が既に作り込まれている。

【0020】図に於いて、1はシリコン半導体基板、2はSiO₂からなるフィールド絶縁膜、3は多結晶シリコンからなるワード線、4は多結晶シリコンからなるゲート電極、5はSiO₂からなる絶縁膜、6は複数層で構成された絶縁膜、7はA1からなるビット線、8は多結晶シリコンからなるキャパシタ電極、9はSiO₂からなる誘電体膜、10は多結晶シリコンからなるキャパシタ共通電極(セル・プレート)をそれぞれ示している。

【0021】ここで、複数層で構成された絶縁膜6は、簡明にする為、一層からなるように図示されているが、実際には、少なくとも三層からなっている。

【0022】即ち、ワード線3やゲート電極4などの頂面を覆う絶縁膜や側面を覆うサイド・ウォールなどを形成してから、例えばSiO₂からなる第一層目の絶縁膜を形成し、次に、その上にビット線などを形成してから、例えばSiO₂からなる第二層目の絶縁膜を形成し、次に、高さ1.5 [μm]の多結晶シリコンからなるキャパシタ電極8、誘電体膜9、キャパシタ共通電極10などを形成してから、厚さ2 [μm]のBPSG (borophosphosilicate glass) からなる第三層目の絶縁膜を形成し、そのBPSGからなる絶縁膜をCMP (chemical mechanical polishing) 法を適用して平坦化した状態が図示されている。

【0023】図2参照

2-(1)

通常のリソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをC、F₂ (BPSG用及びSiO₂用)とする反応性イオン・エッチング (reactive ion etching: RIE) 法を適用することに依り、周辺回路部の表面からシリコン半導体基板1の表面に達する電極コンタクト・ホール6Aを形成する。

【0024】本例に於ける電極コンタクト・ホール6Aの径は例えば0.2 [μm]、また、深さは例えば1.8 [μm]とした。

【0025】図3参照

3-(1)

化学気相堆積 (chemical vapor deposition: CVD) 法を適用することに依り、電極コンタクト・ホール6A内も含めた全面に厚さが例えば20 [nm]のTiNからなるバリア膜11を形成する。

【0026】3-(2)

CVD法を適用することに依り、電極コンタクト・ホール6A内も含めた全面に厚さが例えば0.15 [μm]の多結晶シリコン膜12を形成する。

【0027】尚、電極コンタクト・ホール6Aの径が0.2〔μm〕以下であるから、厚さが0.15〔μm〕の多結晶シリコン膜12を形成すれば、電極コンタクト・ホール6A内を十分に埋めることができる。また、多結晶シリコンは、他のシリコン、例えばアモルファス・シリコンなどに代替することができる。

【0028】3-(3)

CMP法を適用することに依り、絶縁膜6上の多結晶シリコン膜12及びTiNからなるバリヤ膜11を除去し、電極コンタクト・ホール6A内のみ多結晶シリコン膜12及びTiNからなるバリヤ膜11を残す。

【0029】図4参照

4-(1)

3×10^{-3} 〔Torr〕の減圧中でウェハの温度を例えば450〔℃〕として、スパッタリング法を適用することに依り、厚さが例えば1〔μm〕であるA1膜を50〔nm/分〕の速度で形成する。

【0030】前記A1膜を形成する間に、電極コンタクト・ホール6A内の多結晶シリコン膜12はA1と置換され、そして、ウェハの冷却過程でA1膜の表面にはシリコン12Aが析出する。

【0031】図5参照

5-(1)

CMP法を適用することに依り、絶縁膜6上のA1膜をシリコン12Aと共に除去し、電極コンタクト・ホール6A内のみA1膜をA1プラグ13として残す。

【0032】前記のようにすることで、アスペクト比が9である電極コンタクト・ホール6A内を密実に埋めた多結晶シリコンをA1に置換して、導電性が高いA1プラグ13を容易に得ることができる。

【0033】図6乃至図8は本発明に於ける実施の形態2を解説する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0034】図6参照

6-(1)

電極コンタクト・ホール6AにTiNからなるバリヤ膜11と多結晶シリコン膜12を形成する工程、即ち、実施の態様1に於いて、図3について説明した工程までは、全く同じであるから、ここでは、その次の段階から説明する。

【0035】 1×10^{-3} 〔Torr〕の減圧中でウェハの温度を例えば450〔℃〕として、スパッタリング法を適用することに依り、厚さが例えば1〔μm〕であるA1からなる配線膜14を50〔nm/分〕の速度で全面に形成する。

【0036】前記A1からなる配線膜14を形成する間に、電極コンタクト・ホール6A内の多結晶シリコン膜12はA1と置換される。

【0037】6-(2)

引き続き、前記条件の下でスパッタリング法を適用することに依り、厚さが例えば0.2〔μm〕のTiなどの遷移金属膜15を形成する。

【0038】尚、遷移金属としては、前記Tiの他、W、Mo、Co、Cu、Taなどから任意に選択することができる。

【0039】図7参照

7-(1)

ウェハを室温に冷却する過程でA1からなる配線膜14の表面にシリコンが析出するのであるが、このシリコンは、遷移金属膜15と反応し、遷移金属シリサイドになってしまう。図では、この遷移金属シリサイドを記号15Aで指示してある。

【0040】図8参照

8-(1)

CMP法を適用することに依り、遷移金属膜15並びに遷移金属シリサイド15Aを除去し、絶縁膜6上のA1からなる配線膜14及び電極コンタクト・ホール6A内のA1からなるプラグ16を残す。

【0041】前記のようにすることで、アスペクト比が9である電極コンタクト・ホール6A内を密実に埋めた多結晶シリコンをA1に置換して、導電性が高いA1プラグ16を容易に形成することができ、そして、そのA1プラグ16には、絶縁膜6上に形成されたA1からなる配線膜14が連なっている。

【0042】前記何れの実施の形態に於いても、電極コンタクト・ホール内を導電性が高いA1プラグで埋め込む構成について説明したが、本発明は、配線の形成にも有効であり、その場合、絶縁膜に形成した溝に多結晶シリコンを埋め込み、その多結晶シリコンをA1に置換してA1配線とする。

【0043】現在、幅が0.2〔μm〕以下である微細溝を形成し、その微細溝を多結晶シリコンで埋め込むことは、既存の装置を用いて充分に対応することができ、従って、A1配線の微細化が可能である。

【0044】因みに、A1配線を形成する通常の技術、即ち、A1膜の形成、リソグラフィ技術に於けるレジスト・プロセス、C1系ガスをを用いたドライ・エッチング法などを適用したのでは、0.2〔μm〕以下のA1配線を形成することは困難である。

【0045】

【発明の効果】本発明に依る半導体装置の製造方法に於いては、半導体基板上の絶縁膜にコンタクト・ホール或いは溝を形成してから多結晶シリコン或いはアモルファス・シリコンなどのシリコンで埋め込み、半導体基板を含む全体を減圧中に於いて加熱しつつA1を堆積させ前記シリコンをA1に置換しながらA1膜を形成し、絶縁膜上のA1膜のみを析出されたシリコンと共に除去するか、或いは、A1膜を形成した後、A1膜上に遷移金属膜を形成し、析出されたシリコンを遷移金属シリサイド

として遷移金属膜と共に除去するようにしている。

【0046】前記構成を採ることに依って、従来の技術では実現することが不可能であった高アスペクト比のコンタクト・ホール内にAlプラグを密実に埋め込むことが可能となり、しかも、Alプラグを生成する為のコンタクト・ホール内のシリコンとAlとの置換は、低温且つ短時間で完了させることができ、さきに作り込まれている回路に与えるダメージを少なくすることが可能である。また、溝内に埋め込んだシリコンをAlと置換して配線にする場合、0.2[μm]を下回るような幅の微細配線を容易に形成することが可能であり、この場合の微細溝の形成、シリコンの埋め込みなどは、既存の装置を用いて実現することができる。

【図面の簡単な説明】

【図1】本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図2】本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図3】本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図4】本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図5】本発明に於ける実施の形態1を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図6】本発明に於ける実施の形態2を解説する為の工

程要所に於ける半導体装置を表す要部切断側面図である。

【図7】本発明に於ける実施の形態2を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

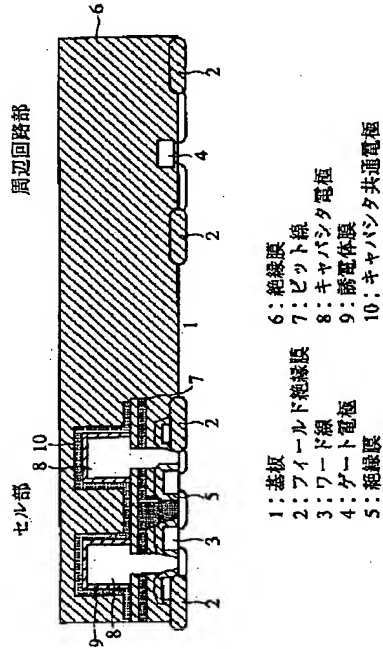
【図8】本発明に於ける実施の形態2を解説する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【符号の説明】

- | | | |
|----|-----|-------------------------------|
| 10 | 1 | シリコン半導体基板 |
| | 2 | SiO ₂ からなるフィールド絶縁膜 |
| | 3 | 多結晶シリコンからなるワード線 |
| | 4 | 多結晶シリコンからなるゲート電極 |
| | 5 | SiO ₂ からなる絶縁膜 |
| | 6 | 複数層で構成された絶縁膜 |
| | 6A | 電極コンタクト・ホール |
| | 7 | Alからなるビット線 |
| | 8 | 多結晶シリコンからなるキャパシタ電極 |
| | 9 | SiO ₂ からなる誘電体膜 |
| 20 | 10 | 多結晶シリコンからなるキャパシタ共通電極（セル・プレート） |
| | 11 | TiNからなるバリヤ膜 |
| | 12 | 多結晶シリコン膜 |
| | 12A | シリコン |
| | 13 | Alプラグ |
| | 14 | Alからなる配線膜 |
| | 15 | Tiなどの遷移金属膜 |
| | 15A | 遷移金属シリサイド |
| | 16 | Alからなるプラグ |

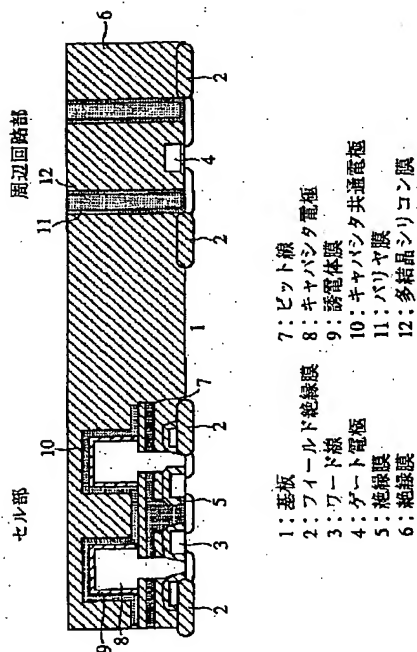
【図1】

実施の形態1を説明する半導体装置の要部切断側面図



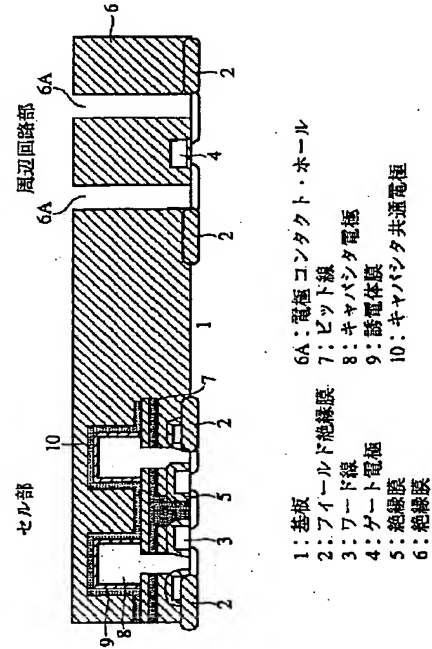
【図3】

実施の形態1を説明する半導体装置の要部切断側面図



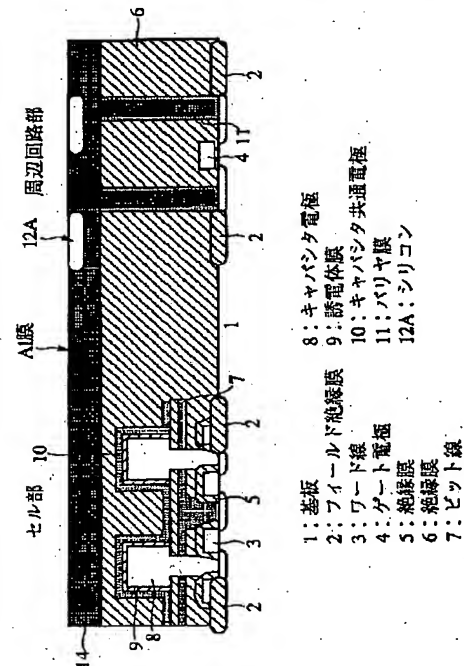
【図2】

実施の形態1を説明する半導体装置の要部切断側面図



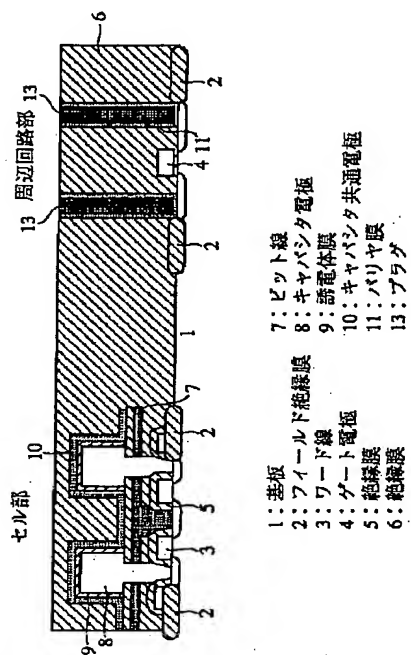
【図4】

実施の形態1を説明する半導体装置の要部切断側面図



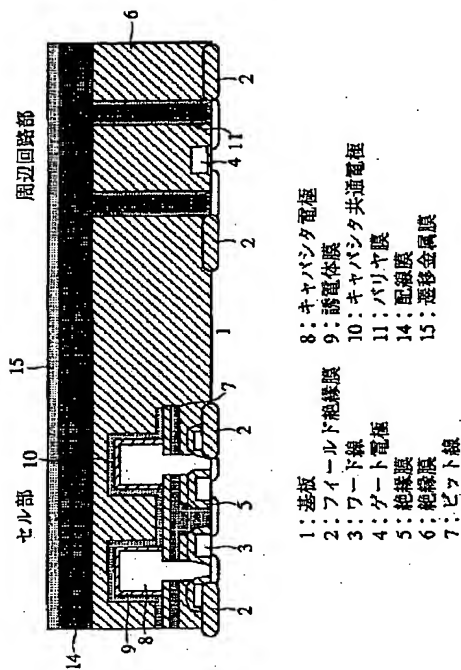
【図5】

実施の形態1を説明する半導体装置の要部切断側面図



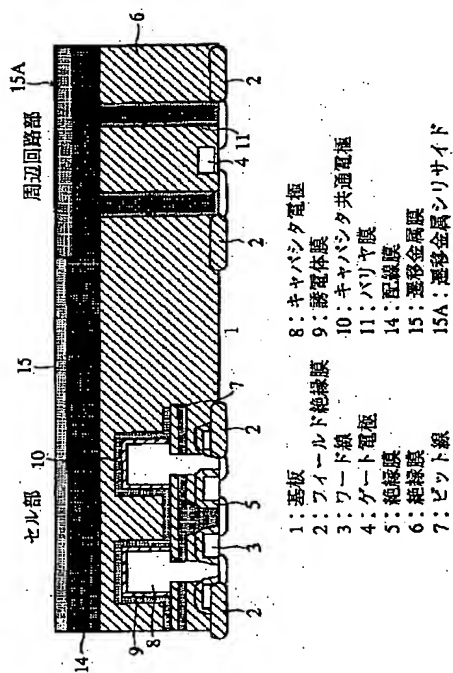
【図6】

実施の形態2を説明する半導体装置の要部切断側面図



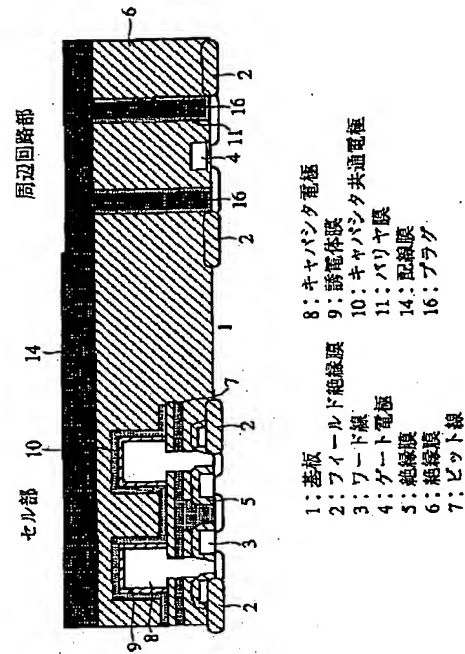
【図7】

実施の形態2を説明する半導体装置の要部切断側面図



【図8】

実施の形態2を説明する半導体装置の要部切断側面図



フロントページの続き

(72)発明者 有本 由弘
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 伊藤 昭男
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内